



(19) 대한민국 지식재산청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2026년01월15일  
(11) 등록번호 10-2913538  
(24) 등록일자 2026년01월13일

(51) 국제특허분류(Int. Cl.)  
H10N 70/00 (2024.01) H10N 70/20 (2023.01)  
H10P 10/00 (2026.01)  
(52) CPC특허분류  
H10N 70/8413 (2023.02)  
H10N 70/011 (2023.02)  
(21) 출원번호 10-2025-0009493  
(22) 출원일자 2025년01월22일  
심사청구일자 2025년01월22일  
(56) 선행기술조사문헌  
KR1020200069511 A\*  
KR1020230006004 A\*  
KR1020230028957 A\*  
US20220216401 A1\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
충북대학교 산학협력단  
충청북도 청주시 서원구 충대로 1 (개신동)  
(72) 발명자  
김성진  
경기도 안양시 만안구 경수대로 1193, 104동 110  
1호 (석수동, 석수대림아파트)  
이재윤  
충청북도 청주시 서원구 성봉로220번길 47-4, 2동  
204호(해가득한집)  
이범구  
충청북도 청주시 서원구 청남로2005번길 96, 우성  
아파트 105동 405호  
(74) 대리인  
김정현

전체 청구항 수 : 총 1 항

심사관 : 임창연

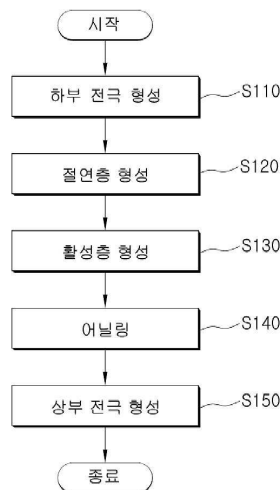
(54) 발명의 명칭 듀얼 플라즈마 어닐링 공정을 포함하는 멤리스터 제조 방법

(57) 요약

본 발명은 멤리스터 제조 방법에 관한 것으로서, 기판 상에 하부 전극을 형성하는 단계, 상기 하부 전극 상에 금속 산화물 박막으로 절연층을 형성하는 단계, 상기 절연층 상에 금속 산화물 박막으로 활성층을 형성하는 단계, 상기 활성층의 표면에 듀얼 플라즈마 어닐링 공정을 진행하는 단계 및 상기 활성층 상에 상부 전극을 형성하는 단계를 포함한다.

본 발명에 의하면, 산화물 박막의 이중층 구조를 갖는 멤리스터에 듀얼 플라즈마 어닐링 공정을 진행함으로써, 멤리스터의 전기적 성능을 향상시키고, 표면의 전기적 안정성을 증가시킬 수 있는 효과가 있다.

대표도 - 도1



(52) CPC특허분류

- H10N 70/20* (2023.02)
- H10N 70/826* (2023.02)
- H10N 70/841* (2023.02)
- H10N 70/861* (2023.02)
- H10P 14/6514* (2026.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	2340002244
과제번호	2020R1A6A1A12047945
부처명	교육부
과제관리(전문)기관명	한국연구재단
연구사업명	중점연구소(AI소재부품장비분야)
연구과제명	컴퓨터정보통신연구소
과제수행기관명	충북대학교 산학협력단
연구기간	2020.06.01 ~ 2029.05.31

---

## 명세서

### 청구범위

#### 청구항 1

기판 상에 하부 전극을 형성하는 단계;

상기 하부 전극 상에 금속 산화물 박막으로 절연층을 형성하는 단계;

상기 절연층 상에 금속 산화물 박막으로 활성층을 형성하는 단계;

상기 활성층의 표면에 산소 플라즈마 공정과 저온 어닐링 처리 공정을 함께 실시하는 듀얼 플라즈마 어닐링 공정을 진행하는 단계; 및

상기 활성층 상에 상부 전극을 형성하는 단계를 포함하고,

상기 하부 전극을 형성하는 단계에서, 글래스 기판(glass substrate) 상에 ITO(Indium Tin Oxide)로 하부 전극을 형성하고,

상기 절연층을 형성하는 단계에서, TiO<sub>2</sub>(Titanium dioxide)로 이루어지는 절연층을 형성하고,

상기 활성층을 형성하는 단계에서, TiO<sub>2-x</sub> 로 이루어지는 활성층을 형성하고,

상기 상부 전극을 형성하는 단계에서 RF 마그네트론 스퍼터링을 사용하여 은(Ag)을 증착하는 방식으로 상부 전극을 형성하며,

상기 절연층을 형성하는 단계에서, 챔버 내의 온도와 압력을 각각 200 ℃와  $2.5 \times 10^{-2}$  Torr로 유지한 상태에서 원자층 증착 시스템(atomic layer deposition system, ALD)을 사용하여 상기 ITO 상에 5nm 두께의 TiO<sub>2</sub> 절연막을 증착하고,

상기 활성층을 형성하는 단계에서, RF 마그네트론 스퍼터링 시스템을 사용하여, 상기 기판을 8 rpm의 속도로 회전시키고, RF 파워를 120W로 고정하여 20분 동안 10nm 두께의 TiO<sub>2-x</sub> 박막층을 증착하고,

상기 활성층의 표면에 듀얼 플라즈마 어닐링 공정을 진행하는 단계에서, 적외선(infrared radiation)을 조사하기 위한 IR 램프와, 산소 플라즈마를 방출하기 위한 플라즈마 건을 통해 상기 활성층의 표면에 적외선과 산소 플라즈마를 동시에 조사하는 방식으로 듀얼 플라즈마 어닐링 공정을 실시하고,

상기 활성층의 표면에 듀얼 플라즈마 어닐링 공정을 진행하는 단계에서, 챔버 내의 공정 압력을  $3.0^{-2}$  Torr로 유지하고, 산소 가스의 유량을 10sccm으로 고정하고, 파워를 120W로 고정된 상태에서, 상기 활성층의 표면에 160 ℃의 온도에서 10분 동안 듀얼 플라즈마 어닐링 공정을 진행하는 것을 특징으로 하는 멤리스터 제조 방법.

#### 청구항 2

삭제

#### 청구항 3

삭제

#### 청구항 4

삭제

#### 청구항 5

삭제

#### 청구항 6

삭제

**발명의 설명**

**기술 분야**

[0001] 본 발명은 멤리스터 제조 방법에 관한 것으로서, 더욱 상세하게는 표면 처리 공정을 포함하는 멤리스터 제조 방법에 관한 것이다.

**배경 기술**

[0003] 기존의 메모리가 가진 한계를 극복하기 위해 차세대 메모리는 데이터 처리과정에서의 빠른 처리속도와 비휘발성, 소모되는 소모 전력의 감소, 안정성 등의 요소들이 함께 발휘되어야 한다. AI(Artificial Intelligence) 기술이 고도화로 인한 기존의 메모리 반도체의 성능 한계를 극복하기 위하여 ReRAM, FeRAM 등의 차세대 메모리 기술이 연구되는 실정이다. 이러한 차세대 메모리 소자들 중 ReRAM은 절연막의 저항 값 변화를 이용하여 데이터를 저장할 수 있는 소자로 기존의 휘발성 메모리에 비해 수십, 수백배의 처리 속도를 가진다.

[0004] 일반적으로 불리는 멤리스터(memristor)는 memory와 resistor의 합성어로 저항의 특성을 띄는 소자가 전극 양단에 인가되는 특정 펄스 전압에 따라 가변저항을 가지며 일정시간 데이터를 저장하는 메모리 역할을 한다. 멤리스터는 하나의 소자로 하나의 바이오 시냅스 구조를 모방할 수 있기 때문에 회로의 크기를 다중 트랜지스터로 구성된 시냅스 소자보다 획기적으로 줄일 수 있다. 이러한 특성은 반도체 트랜드인 회로 소형화를 통한 집적도 향상에 높은 도움을 줄 가능성이 기대된다. 멤리스터는 일반적으로 금속과 산화물을 통한 MIM(metal-insulator-metal) 구조를 가지므로 이러한 구조는 공정상의 결함을 줄일 수 있다는 장점이 존재한다. 멤리스터를 구성하는 물질 중 산화물은 TiO<sub>2</sub>, SiO<sub>2</sub>, NiO, HfO<sub>2</sub>, ZrO<sub>2</sub>, ZnO 등의 금속 산화물을 기반으로 제작된다. 이 중 TiO<sub>2</sub> 박막 기반의 멤리스터가 가장 활발하게 제작되고 있다. 이에 따라 TiO<sub>2</sub> 박막 기반의 멤리스터 소자에 대한 전기적 특성을 개선하는 방안이 요구된다.

[0005] 생체 전기 신호를 저장, 분석, 판독하기 위해 생체에 부착되도록 제작된 웨어러블 디바이스는 바이오, 헬스케어 산업 등 나노 디바이스 시장에서 주목을 받고 있다. 생체의 특성을 고려할 때 생체의 피부에 부착하는 웨어러블 디바이스는 높은 신축성과 유연성이 요구된다. 차세대 지능형 디바이스의 개발 추세는 유연성, 경량성, 고집적도, 높은 응용 잠재력을 갖춘 다기능 디바이스를 지향하고 있다. 그 중에서도 멤리스터 소자는 여러 개의 트랜지스터로 구성된 시냅스 소자에 비해 소자의 크기를 획기적으로 줄여 경량화와 고집적화가 기대된다. 본질적으로 멤리스터는 상부 전극에 전압을 인가하면 히스테리시스 모양의 I-V 곡선을 갖는데, 이는 저항성 스위치 메모리의 특징이다. 이러한 비휘발성 특성은 생체 전기 신호를 저장하고 분석할 수 있는 웨어러블 디바이스에 활용될 것으로 예상된다. 그러나 멤리스터 디바이스에 일반적으로 사용되는 산화물은 전기적 성능을 활성화하기 위해 400 °C 이상의 고온 어닐링 공정이 필요하다. 고온 어닐링 공정은 폴리에틸렌 테레프탈레이트(polyethylene terephthalate, PET)나 폴리에틸렌 나프탈레이트(polyethylene naphthalate, PEN)와 같은 유연한 멤리스터 폴리머 기판에 활용하기 어렵다. 이러한 문제로 인해 전통적인 고온 어닐링 공정에 대한 대체 전기적 특성 활성화 방법에 대한 연구가 진행 중이며, 그 중 플라즈마는 전기적 성능을 향상시키기 위해 활발하게 분석되어 왔다.

**선행기술문헌**

**특허문헌**

[0006] (특허문헌 0001) 대한민국 공개특허 10-2008-0082616

**발명의 내용**

**해결하려는 과제**

[0007] 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로서, 전기적 특성을 개선한 산화물 박막의 이중층 구조를 갖는 멤리스터 제조 방법을 제공하는데 그 목적이 있다.

[0008] 본 발명의 목적은 이상에서 언급한 목적으로 제한되지 않으며, 언급되지 않은 또 다른 목적들은 아래의 기재로

부터 통상의 기술자에게 명확하게 이해될 수 있을 것이다.

**과제의 해결 수단**

- [0010] 이와 같은 목적을 달성하기 위한 본 발명은 멤리스터 제조 방법에 관한 것으로서, 기판 상에 하부 전극을 형성하는 단계, 상기 하부 전극 상에 금속 산화물 박막으로 절연층을 형성하는 단계, 상기 절연층 상에 금속 산화물 박막으로 활성층을 형성하는 단계, 상기 활성층의 표면에 듀얼 플라즈마 어닐링 공정을 진행하는 단계 및 상기 활성층 상에 상부 전극을 형성하는 단계를 포함한다.
- [0011] 상기 하부 전극을 형성하는 단계에서, 글래스 기판(glass substrate) 상에 ITO(Indium Tin Oxide)로 하부 전극을 형성할 수 있다.
- [0012] 상기 절연층을 형성하는 단계에서, TiO<sub>2</sub>(Titanium dioxide)로 이루어지는 절연층을 형성할 수 있다.
- [0013] 상기 활성층을 형성하는 단계에서, TiO<sub>2-x</sub> 로 이루어지는 활성층을 형성할 수 있다.
- [0014] 상기 상부 전극을 형성하는 단계에서 은(Ag)으로 이루어지는 상부 전극을 형성할 수 있다.
- [0015] 상기 활성층의 표면에 듀얼 플라즈마 어닐링 공정을 진행하는 단계에서, 활성층의 표면에 160 °C의 조건으로 듀얼 플라즈마 어닐링 공정을 진행할 수 있다.

**발명의 효과**

- [0017] 본 발명에 의하면, 산화물 박막의 이중층 구조를 갖는 멤리스터에 듀얼 플라즈마 어닐링 공정을 진행함으로써, 멤리스터의 전기적 성능을 향상시키고, 표면의 전기적 안정성을 증가시킬 수 있는 효과가 있다.

**도면의 간단한 설명**

- [0019] 도 1은 본 발명의 일 실시예에 따른 멤리스터 제조 방법을 보여주는 흐름도이다.
- 도 2는 본 발명의 일 실시예에 따라 제작된 산화물 박막의 이중층 구조를 갖는 멤리스터의 모식도와, 듀얼 플라즈마 어닐링 공정을 도시한 것이다.
- 도 3은 본 발명의 일 실시예에 따라 제작된 멤리스터의 스위칭 메커니즘 개념을 설명하기 위한 도면이다.
- 도 4는 본 발명의 실험에서 듀얼 플라즈마 어닐링 공정의 공정 온도에 따른 멤리스터 소자의 전류-전압(I-V) 곡선을 도시한 것이다.
- 도 5는 본 발명의 실험에서 듀얼 플라즈마 어닐링 공정의 공정 온도에 따른 멤리스터 소자의 리텐션 테스트 결과를 온도 함수로 나타낸 그래프이다.
- 도 6은 본 발명의 실험에서 듀얼 플라즈마 어닐링 공정의 공정 온도에 따른 멤리스터 소자의 TiO<sub>2-x</sub> 박막의 투과율(transmittance)과 타우 플롯(Tauc plot)을 도시한 것이다.
- 도 7은 본 발명의 실험에서 멤리스터 소자의 I-V 특성 곡선을 로그-로그 플롯 그래프 형태로 도시한 것이다.

**발명을 실시하기 위한 구체적인 내용**

- [0020] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시 예를 가질 수 있는 바, 특정 실시 예들을 도면에 예시하고 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0021] 본 출원에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0022] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 갖고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 갖는 의미와 일치하는 의미를

갖는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

- [0023] 또한, 첨부 도면을 참조하여 설명함에 있어, 도면 부호에 관계없이 동일한 구성 요소는 동일한 참조 부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다. 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- [0024] 도 1은 본 발명의 일 실시예에 따른 메모리스트어 제조 방법을 보여주는 흐름도이다.
- [0025] 도 1을 참조하면, 본 발명의 일 실시예에 따른 금속 산화물 박막 기반 메모리스트어 소자 제조 방법은 기판 상에 하부 전극을 형성하는 단계(S110), 하부 전극 상에 금속 산화물 박막으로 절연층을 형성하는 단계(S120), 절연층 상에 금속 산화물 박막으로 활성층을 형성하는 단계(S130), 활성층의 표면에 듀얼 플라즈마 어닐링 공정을 진행하는 단계(S140) 및 활성층 상에 상부 전극을 형성하는 단계(S150)를 포함한다.
- [0026] 하부 전극을 형성하는 단계(S110)에서, 글래스 기판(glass substrate) 상에 ITO(Indium Tin Oxide)로 하부 전극을 형성할 수 있다.
- [0027] 절연층을 형성하는 단계(S120)에서, TiO<sub>2</sub>(Titanium dioxide)로 이루어지는 절연층을 형성할 수 있다.
- [0028] 활성층을 형성하는 단계(S130)에서, TiO<sub>2-x</sub> 로 이루어지는 활성층을 형성할 수 있다.
- [0029] 상부 전극을 형성하는 단계(S150)에서 은(Ag)으로 이루어지는 상부 전극을 형성할 수 있다.
- [0030] 활성층의 표면에 듀얼 플라즈마 어닐링 공정을 진행하는 단계(S140)에서, 활성층의 표면에 160 °C의 조건으로 듀얼 플라즈마 어닐링 공정을 진행할 수 있다.
- [0031] 본 발명에서 듀얼 플라즈마 어닐링 공정은 산소 플라즈마 공정과 저온 어닐링 처리 공정을 함께 실시하는 것이다.
- [0033] 본 발명에서 산화물 박막의 이중층 구조를 갖는 메모리스트어의 구현예와, 본 발명의 일 실시예에 따라 제작된 메모리스트어에 대한 듀얼 플라즈마 어닐링 공정 변수가 미치는 영향을 실험한 과정과 분석 결과를 설명하면 다음과 같다.
- [0034] 도 2는 본 발명의 일 실시예에 따라 제작된 산화물 박막의 이중층 구조를 갖는 메모리스트어의 모식도와, 듀얼 플라즈마 어닐링 공정을 도시한 것이다.
- [0035] 도 2는 MIM(metal-insulator-metal) 구조로 설계된 TiO<sub>2</sub>/TiO<sub>2-x</sub> 박막 기반 메모리스트어 소자의 구조와 소자의 저항성 스위칭 메커니즘의 동작을 개선하기 위해 적용된 DPA 공정의 개략도를 보여준다.
- [0036] 도 2를 참조하면, 본 발명의 일 실시예에 따른 산화물 박막의 이중층 구조를 갖는 메모리스트어는 하부 전극(Bottom electrode)(110), 절연층(Insulator layer)(120), 활성층(Active layer)(130) 및 상부 전극(Top electrode)(140)을 포함한다.
- [0037] 하부 전극(110)은 기판(10) 상에 형성된다. 본 발명의 일 실시예에서 하부 전극(110)은 글래스 기판(glass substrate) 상에 ITO(Indium Tin Oxide)로 형성될 수 있다.
- [0038] 절연층(120)은 하부 전극(110) 상에 금속 산화물 박막으로 형성된다. 본 발명의 일 실시예에서 절연층(120)은 TiO<sub>2</sub>(Titanium dioxide)로 이루어질 수 있다.
- [0039] 활성층(130)은 절연층(120) 상에 금속 산화물 박막으로 형성된다. 본 발명의 일 실시예에서 활성층은 TiO<sub>2-x</sub> 로 이루어질 수 있다.
- [0040] 상부 전극(140)은 활성층(130) 상에 형성된다. 본 발명의 일 실시예에서 상부 전극은 은(Ag)으로 이루어질 수 있다.
- [0041] 본 발명에서 활성층(130)의 표면에 듀얼 플라즈마 어닐링 공정이 진행되는 방식으로 표면 처리된다. 본 발명의 일 실시예에서 활성층(130)의 표면에 160 °C의 조건으로 듀얼 플라즈마 어닐링 공정이 진행되는 방식으로 표면 처리될 수 있다.
- [0042] 본 발명에서 듀얼 플라즈마 어닐링 공정은 산소 플라즈마 공정과 저온 어닐링 처리 공정을 함께 실시하는 것이

다.

- [0043] 본 발명에서 메모리스터의 활성층(130) 박막으로  $TiO_{2-x}$  을 사용하고, 절연층(120)으로  $TiO_2$  를 사용하였는데,  $TiO_{2-x}$  박막은  $TiO_2$  박막과 달리 Oxygen Vacancy 비율이 높고, 이를 통해 메모리스터의 RS(Resistive Switching) 메커니즘의 구현을 조절할 수 있다. 또한 이러한 특징을 통해 NDR(Negative Differential Resistance) 특성을 조절할 수 있으며, 메모리스터의 필라멘트(filament) 형성을 제어할 수 있다.
- [0044] 도 2를 참조하면, 메모리스터는 금속-절연체-금속(MIM) 샌드위치 구조로 구성되며, 절연 층에서 전도성 필라멘트가 형성되고 사라지면서 고저항 상태(high resistance state, HRS)와 저저항 상태(low resistance state, LRS) 사이의 저항 변화가 발생한다.
- [0045] 본 발명에서 듀얼 플라즈마 어닐링(DPA) 공정을 실시하기 위해, 적외선(infrared radiation)을 조사하기 위한 IR 램프(510)와, 산소( $O_2$ ) 플라즈마를 방출하기 위한 플라즈마 건(520)이 구비될 수 있다.
- [0046] 본 발명에서 IR 램프(510)와 플라즈마 건(520)을 통해, 활성층(130)의 표면에 적외선과 산소 플라즈마를 동시에 조사하는 방식으로 듀얼 플라즈마 어닐링 공정을 실시할 수 있다.
- [0047] 도 3은 본 발명의 일 실시예에 따라 제작된 메모리스터의 스위칭 메커니즘 개념을 설명하기 위한 도면이다.
- [0048] 도 3은  $TiO_2/TiO_{2-x}$  기반 메모리스터의 스위칭 메커니즘에 대한 개요를 제공한다. 여기서, HRS에서 LRS로의 전환을 '셋(set)'이라 하고, 그 반대를 '리셋(reset)'이라고 한다.
- [0049] 도 3에서 유리(glass) 기판/ITO/ $TiO_2/TiO_{2-x}/Ag$  구조의 메모리스터는 셋(set), 리셋(reset)에 따라 HRS 상태와 LRS 상태로 스위칭 메커니즘 상태가 결정된다.
- [0050] 메모리스터의 이러한 동적 특성은 다용성, 데이터 저장 및 프로세스 효율성을 높인다. 메모리스터 소자는 휘발성 및 비휘발성과 같은 변환 특성을 보인다. 논-제로-크로싱(Non-zero-crossing) I-V 히스테리시스 경향은 세 가지 기본 메커니즘, 즉 정전용량 효과, 내부 기전력 현상, 강유전체 또는 압전 분극의 결과로 발생한다. 이러한 히스테리시스 경향과 메모리스터의 스위칭 특성은, 금속-절연체-활성층-금속 구조 메모리스터의 필라멘트 통로 제어에 큰 영향을 미치는 어닐링 공정을 적용하여 향상시킬 수 있으며, 이를 통해 HRS 및 LRS의 스위칭 메커니즘을 효율적으로 관리할 수 있다.
- [0051] 본 발명의 일 실시예에 따라 제작된 메모리스터 소자는 하부 전극으로 ITO, 상부 전극으로 Ag를 사용한다. 그 다음  $TiO_2$  절연막 증착 중에 발생할 수 있는 불순물과 변수를 제거하기 위해 세척 공정을 수행한다. 세척 공정은 초음파 처리와 병행하여 수행한다. 세척 공정 후, 원자층 증착 시스템(atomic layer deposition system, ALD)을 사용하여 세척된 ITO 유리에 5nm 두께의  $TiO_2$  절연막을 증착한다. 이때, 챔버 내의 온도와 압력을 각각 200℃와  $2.5 \times 10^{-2}$  Torr로 유지하여 증착 공정에서 발생할 수 있는 문제를 줄였다.
- [0052] 그리고, 절연막이 증착된 기판의 전기적 성능을 개선하기 위해, RF 마그네트론 스퍼터링 시스템을 사용하여  $TiO_2$  절연막 위에  $TiO_{2-x}$  산화물 박막 활성층을 증착한다. RF 마그네트론 스퍼터링 공정 동안  $TiO_{2-x}$  타겟 측을 음극으로 설정하고, ITO 유리 측을 양극으로 설정하며,  $TiO_{2-x}$  타겟과 ITO 유리 사이의 거리를 8cm로 설정하여  $TiO_{2-x}$  활성층 박막을 증착한다. 이때, 증착 공정의 신뢰성을 보장하기 위해 터보 분자 펌프를 사용하여 챔버 내의 초기 진공을  $5 \times 10^{-5}$  Torr 미만으로 설정한다. 그 다음 안정적인 플라즈마 형성을 위해 30 sccm에서 아르곤(Ar) 가스를 공정 챔버에 주입하고, 공정 압력을 15m Torr로 유지한다. 이때, 박막 형성의 스텝 커버리지를 개선하기 위해, 기판을 8 rpm의 속도로 회전시키고, RF 파워를 120W로 고정하여 20분 동안 10nm 두께의  $TiO_{2-x}$  박막층을 증착한다.
- [0053] 도 2를 참조하면, 본 발명의 실험에서, 듀얼 플라즈마 어닐링(Dual Plasma Annealing, DPA) 공정에서 적용되는 온도로 인한 메모리스터 소자의 전기적 특성 변화를 분석하기 위해, IR 램프(510)와 플라즈마 건(520)으로 구성된 유출 셀(effusion cell) 내부에 산소( $O_2$ ) 플라즈마를 집중시켜 40℃, 80℃, 120℃, 160℃의 온도에서 10분 동안 DPA 공정을 수행한다. 이때, 챔버 내의 공정 압력을  $3.0^{-2}$  Torr로 유지하고, 산소 가스의 유량을 10sccm으로 고정되고, 파워를 120W로 고정하여 DPA 공정 동안 발생할 수 있는 문제를 제어한다.

- [0054] 그 다음 상부 전극을  $TiO_{2-x}$  증착 공정과 유사하게 RF 마그네트론 스퍼터링을 사용하여 증착한다. Ag 타겟을 새도우 마스크를 사용하여 증착하는데, 증착된 전극은 4개의 섬 형태를 갖는다.
- [0055] 본 발명의 실험에서, 제작된  $TiO_2/TiO_{2-x}$  기반 박막 메모리스터의 전기적 성능과 HRS/LRS의 스위칭 메커니즘을 평가하기 위해, 상부 전극에  $-2.5\sim 2.5$  V의 전압을 인가하여 I-V 곡선을 측정한다. 또한, 제작된 메모리스터 소자가 메모리로 적용될 수 있는지 확인하기 위해 리텐션 테스트(retention test)를 측정하고, 메모리스터 소자의 투과율을 측정하여 소자의 밴드갭 변화를 확인한다. I-V 곡선을 측정한 후, 측정된 I-V 곡선에서 대수 그래프를 생성하여 메모리스터 소자의 전도 메커니즘을 파악한다.
- [0057] 본 발명의 실험에서 DPA 공정을 사용하여  $TiO_2/TiO_{2-x}$  박막 기반 메모리스터의 I-V 곡선을 측정하여 메모리스터 스위칭 메커니즘을 분석한다. 본 발명의 실험에서, 제작한  $TiO_2/TiO_{2-x}$  박막 기반 메모리스터 소자의 전기적 성능에 대한 평가를 위해, 암실의 환경에서 KEITHLEY사의 SYSTEM 2636A 소스 미터(source meter)를 활용하여, 상부 전극에  $-2.5 \sim 2.5$  V의 전압을 인가해 I-V 곡선(curve)을 측정한다.
- [0058] 도 4는 본 발명의 실험에서 듀얼 플라즈마 어닐링 공정의 공정 온도에 따른 메모리스터 소자의 전류-전압(I-V) 곡선을 도시한 것이다.
- [0059] 도 4에서 DPA 공정에서 온도 매개변수의 함수로서  $TiO_2/TiO_{2-x}$  박막 기반 메모리스터 소자의 전기적 특성을 결정하기 위해, Keithley의 소스 미터 2636A 모델을 사용하여 측정한 I-V 곡선과 이를 측정하기 위한 회로도를 보여준다.
- [0060] 도 4 (a)  $40^\circ\text{C}$ , (b)  $80^\circ\text{C}$ , (c)  $120^\circ\text{C}$ , (d)  $160^\circ\text{C}$ 에서 플라즈마 어닐링 공정을 실시한 메모리스터 소자의 I-V 곡선을 도시하고 있다.
- [0061] 도 4는 DPA 공정을 실시하여 제조된 4개의 메모리스터 소자에  $-2.5\sim 2.5$  V의 전압을 인가했을 때, I-V 곡선이 히스테리시스 형태임을 보여준다.
- [0062] 도 4를 참조하면,  $40^\circ\text{C}$ 에서 HRS에서 LRS로의 스위칭은 1V에서 발생하지만, 더 높은 전압에서는 히스테리시스가 나타나지 않았고, 후속 스위프(sweep) 동안 LRS에서 HRS로의 스위칭은 1.5V에서 발생한다.  $80^\circ\text{C}$ 와  $120^\circ\text{C}$ 에서는 양전압을 인가하는 동안 HRS와 LRS 사이에 스위칭이 거의 없으므로 히스테리시스 형태가 나타나지 않았고, 후속 스위프 동안 LRS와 HRS 사이의 스위칭은 2.2V에서 발생한다.
- [0063] 반면,  $160^\circ\text{C}$ 에서는 2.5V에서 HRS에서 LRS로의 스위칭을 보여주고 히스테리시스 형태가 비교적 그대로 유지된다. 버터플라이 스위프(butterfly sweep) 동안 2.5V에서 LRS에서 HRS로의 스위칭이 발생한다. 이로부터 DPA 공정 동안  $160^\circ\text{C}$ 의 공정 온도가 메모리스터 소자의 동작에서 가장 높은 성능 개선을 가져오는 것을 확인할 수 있다. 이는 DPA 공정에서  $160^\circ\text{C}$ 의 온도가 필라멘트 형성에 필수적인 산소 이온의 공급에 가장 큰 영향을 미친다는 것을 예측할 수 있는데, 이는 산소 플라즈마가  $TiO_{2-x}$  활성층에서 산소 공석(oxygen vacancy)을 감소시키기 때문이다. 본 발명의 실험에서 I-V 곡선의 측정 결과를 이용하여 소자의 HRS와 LRS 범위를 확인하였고, 이를 바탕으로 HRS와 LRS에서 메모리스터 소자의 거동 안정성을 확인하기 위한 리텐션 테스트(retention test)를 실시하였다.
- [0064] 도 5는 본 발명의 실험에서 듀얼 플라즈마 어닐링 공정의 공정 온도에 따른 메모리스터 소자의 리텐션 테스트 결과를 온도 함수로 나타낸 그래프이다.
- [0065] 도 5에서 본 발명의 실험에서 DPA 공정으로 제조된  $TiO_2/TiO_{2-x}$  박막 기반 메모리스터의 리텐션 테스트 결과를 온도의 함수로 나타낸 그래프로써, (a)  $40^\circ\text{C}$ , (b)  $80^\circ\text{C}$ , (c)  $120^\circ\text{C}$ , (d)  $160^\circ\text{C}$ 의 공정 온도에서 DPA 공정으로 제조된 메모리스터 소자의 리텐션 테스트 결과이다. 메모리스터가 비휘발성 메모리로 기능하기 위해서는 메모리스터 소자가 작동 상태를 유지하는 것이 필수적이며, 이를 측정하기 위해 각 메모리스터 소자에 초기 2V 펄스를 가한 다음 0.2V의 읽기 신호를 HRS와 LRS 상태에서 300초 동안 인가했다.
- [0066] 도 5를 참조하면,  $40^\circ\text{C}$ 에서 DPA 공정을 실시한 메모리스터 소자는 HRS 상태가 유지되지 않아 소자가 작동 상태를 유지할 수 없음을 나타냈다. 반면,  $80^\circ\text{C}$ ,  $120^\circ\text{C}$ ,  $160^\circ\text{C}$ 에서 처리한 메모리스터 소자의 경우 HRS와 LRS가 유지되는 것을 알 수 있다. 이 중  $160^\circ\text{C}$ 에서 처리한 메모리스터 소자는 LRS에서 평균  $78.5 \Omega$ 와 표준편차  $\pm 13.0 \Omega$ , HRS에서 평균  $983.6 \Omega$ 와 표준편차  $\pm 73.3 \Omega$ 를 보였으며,  $120^\circ\text{C}$ 에서 처리한 메모리스터 소자는 HRS에서 다소 불안정했다. 이는  $160^\circ\text{C}$  공정 온도에서 어닐링 처리 공정을 거친 플라즈마에서 처리된 메모리스터 소자가 최

고의 안정성과 상태 유지력(state retention)을 가지고 있음을 나타내며, 이는 비휘발성 메모리로서의 응용에 필수적이다.

[0067] 도 6은 본 발명의 실험에서 듀얼 플라즈마 어닐링 공정의 공정 온도에 따른 메모리스터 소자의  $TiO_{2-x}$  박막의 투과율(transmittance)과 타우 플롯(Tauc plot)을 도시한 것이다.

[0068] 도 6은 DPA 공정으로 제조된  $TiO_2/TiO_{2-x}$  박막 기반 메모리스터의 밴드갭 에너지 변화를 측정하고 분석하기 위해, 재료의 투과율로부터 파생된  $TiO_{2-x}$  박막의 (a) 투과율과 (b) 타우 플롯을 보여준다. 타우 플롯은 비정질 반도체의 밴드갭 에너지를 찾는 데 사용된다. 타우 플롯은 x축이 밴드갭 에너지(eV), y축이  $(\alpha h\nu)^2$  ( $eV\ cm^{-1}$ )<sup>2</sup>이다. 여기서  $\alpha$ 는 물질의 흡광도, h는 플랑크 상수,  $\nu$ 는 빛의 진동수를 의미하며, 물질의 흡광도  $\alpha$ 는 물질의 빛 투과율(T)와 로그 함수 관계를 가지며, 이를 수식으로 나타내면 다음과 같다.

[0069] 
$$\alpha = \log\left(\frac{1}{T}\right) \quad (1)$$

[0070] 여기서, T는 투과율(transmittance)을 나타낸다.

[0071] c는 빛의 속도,  $\lambda$ 는 빛의 파장을 의미하므로  $(\alpha h\nu)^2$ 를 다음과 같은 수식을 통해 산출할 수 있다.

[0072] 
$$E_{photon} = h\nu = h\left(\frac{c}{\lambda}\right) \quad (2)$$

[0073] 
$$h\nu = \frac{1239.9eV}{\lambda} \quad (3)$$

[0074] 또한 식 (3)를 응용하여  $(\alpha h\nu)^2$ 의 값을 유도할 수 있다.

[0076] 본 발명의 실험에서 타우 플롯에서 계산된 메모리스터 소자의 밴드갭 에너지는 40 °C에서 3.57eV, 80 °C에서 3.62eV, 120 °C에서 3.58eV, 160 °C에서 3.49eV의 값을 나타낸다. 여기서, 40 °C의 경우를 제외하고 플라즈마 공정의 온도가 증가함에 따라 밴드갭 범위가 감소한다. 이는 DPA 공정에서 온도 변수가 밴드갭 범위에 영향을 미쳐  $TiO_{2-x}$  박막의 저항을 변경할 수 있음을 의미한다.

[0078] 도 7은 본 발명의 실험에서 메모리스터 소자의 I-V 특성 곡선을 로그-로그 플롯 그래프 형태로 도시한 것이다.

[0079] 도 7은 본 발명의 실험에서 160 °C 플라즈마 어닐링 처리 공정으로 제조된 메모리스터 소자의 전하 수송 메커니즘을 확인하기 위해, I-V 특성 곡선의 로그-로그(log-log) 플롯 그래프 형태를 도시한 것이다.

[0080] 도 7에서 (a)는 양전압에서 HRS에 대한 피팅 곡선(fitting curve), (b)는 음전압에서 HRS에 대한 피팅 곡선, (c)는 양전압에서 LRS에 대한 피팅 곡선, (d)는 음전압에서 LRS에 대한 피팅 곡선을 나타낸다.

[0081] 도 7을 참조하면, 각 그래프에서 도출할 수 있는 기울기는 양전압 HRS의 경우 0.9, 양전압 LRS의 경우 1, 음전압 HRS의 경우 0.9, 음전압 LRS의 경우 1.0이다. 본 발명의 실험에서 제조된 메모리스터 소자는 HRS 및 LRS 상태에서 선형성을 나타내므로 전하 이동은 옴 전도( $I \propto V$ )를 따르며, 이는 다음과 같은 수식으로 정의할 수 있다.

[0082] 
$$J_{ohmic} = q\mu N_c E \exp\left(-\frac{E_c - E_f}{kT}\right) \quad (4)$$

[0083] 여기서, q는 기본 전하,  $\mu$ 는 전자 이동도,  $N_c$ 는 전도대에서의 유효 상태 밀도, E는 전계 강도,  $E_c$ 는 전도대 에너지 준위,  $E_f$ 는 페르미 에너지 준위, k는 볼츠만 상수이다.

[0084] 본 발명에서 제안하는 메모리스터 소자는 저전압 및 고전압에서 옴 전도도(ohmic conductivity)를 충족하고, 전자 터널링에 의해 필라멘트가 형성되고, 전도도의 개선을 기대할 수 있다. 따라서 160 °C 조건에서의 DPA 공정은 옴 전도 범위를 확장하여 전도도를 더욱 개선할 수 있다.

[0086] 본 발명의 실험에서는 다양한 온도 설정을 가진 산소 기반 DPA 공정을 유리/ITO/ $TiO_2/TiO_{2-x}/Ag$  구조를 갖는 메모리스터에 적용하고, 제작된 메모리스터 소자의 저항 스위칭 동작 개선 정도를 측정했다. 그리고, DPA 공정을 적용한 메모리스터에 2.5~2.5V의 전압을 인가하여 측정된 I-V 곡선에서 공정 온도가 160 °C일 때 저항성 스위칭이 음

극 및 양극 영역에서 가장 온전한 것으로 나타났다. 이러한 결과를 바탕으로 메모리스터 소자의 비휘발성 메모리로서의 적용성을 확인하기 위해, 300초 동안 읽기 신호를 인가하여 측정된 리텐션 테스트에서도, 160 °C의 DPA 공정을 적용한 소자가 표준 편차가 가장 낮고, HRS/LRS 비율이 가장 높은 것으로 확인되어, 제작된 메모리스터 소자의 전기적 안정성과 비휘발성 메모리로서의 높은 적용성을 나타냈다. 그리고, DPA 공정의 효과를 확인하기 위해  $TiO_{2-x}$ 의 투과율에 따른 타우 그래프는 DPA 공정의 온도에 따라 밴드갭 범위가 감소하는 것을 보여준다. 이는 DPA 공정에서 온도 변수가 밴드갭 범위에 영향을 미쳐  $TiO_{2-x}$  박막의 저항을 변화시킬 수 있음을 의미한다. 또한, 제작된 메모리스터 소자의 옴믹 전도도를 검증하기 위해 구성된 로그-로그(log-log) 함수는 제작된 메모리스터 소자가 옴믹 전도도를 만족함을 보여준다. 이러한 결과는 산소( $O_2$ ) 기반 DPA 공정이 메모리스터 소자의 저항 스위칭을 개선하는 데 큰 영향을 미칠 수 있음을 보여준다.

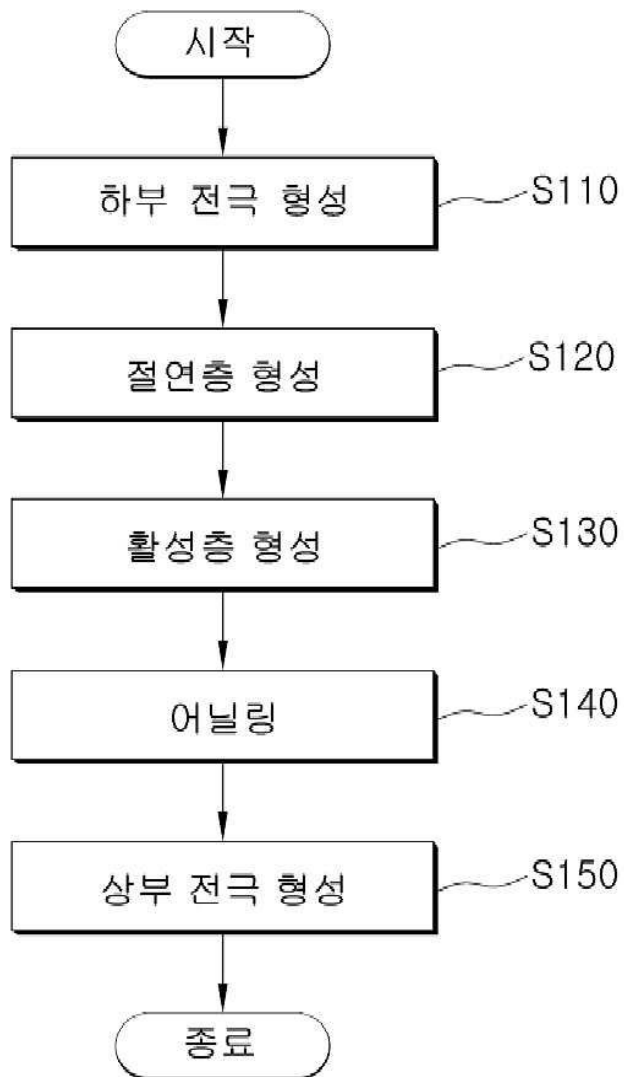
[0087] 이상 본 발명을 몇 가지 바람직한 실시 예를 사용하여 설명하였으나, 이들 실시 예는 예시적인 것이며 한정적인 것이 아니다. 본 발명이 속하는 기술분야에서 통상의 지식을 지닌 자라면 본 발명의 사상과 첨부된 특허청구범위에 제시된 권리범위에서 벗어나지 않으면서 다양한 변화와 수정을 가할 수 있음을 이해할 것이다.

**부호의 설명**

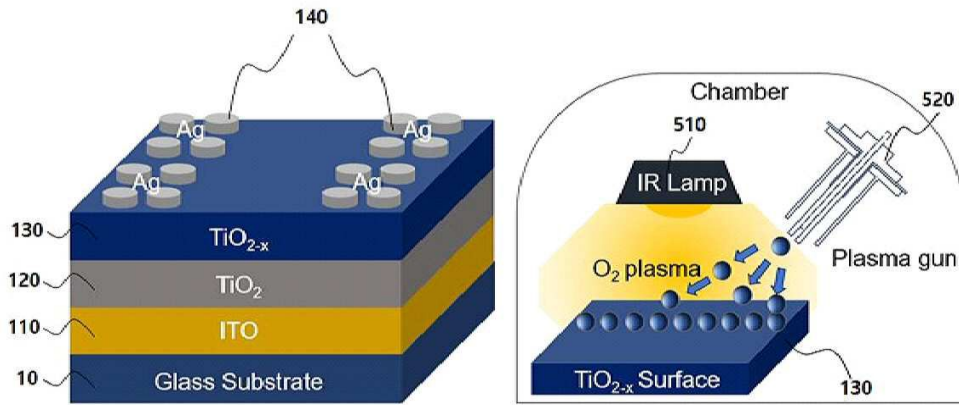
- [0089]
- |     |       |     |       |
|-----|-------|-----|-------|
| 10  | 기관    | 110 | 하부 전극 |
| 120 | 절연층   | 130 | 활성층   |
| 140 | 상부 전극 |     |       |

도면

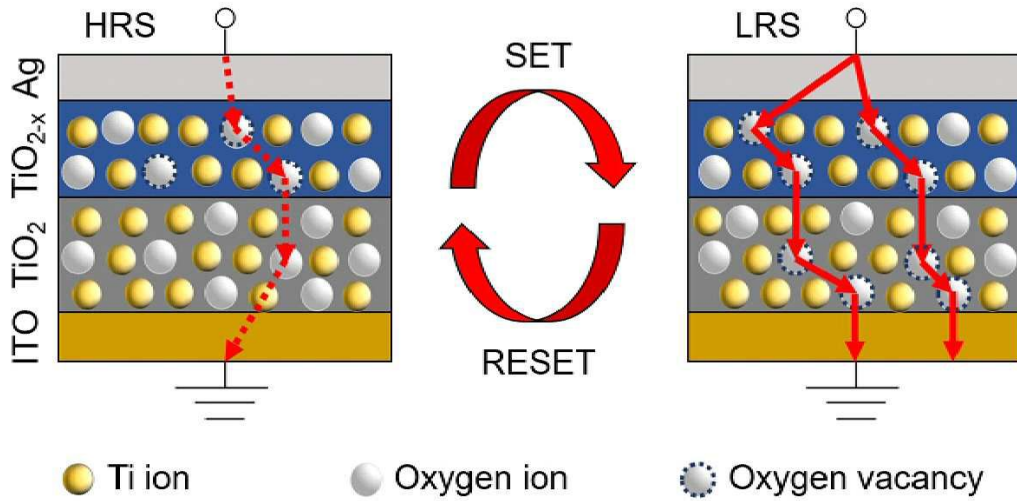
도면1



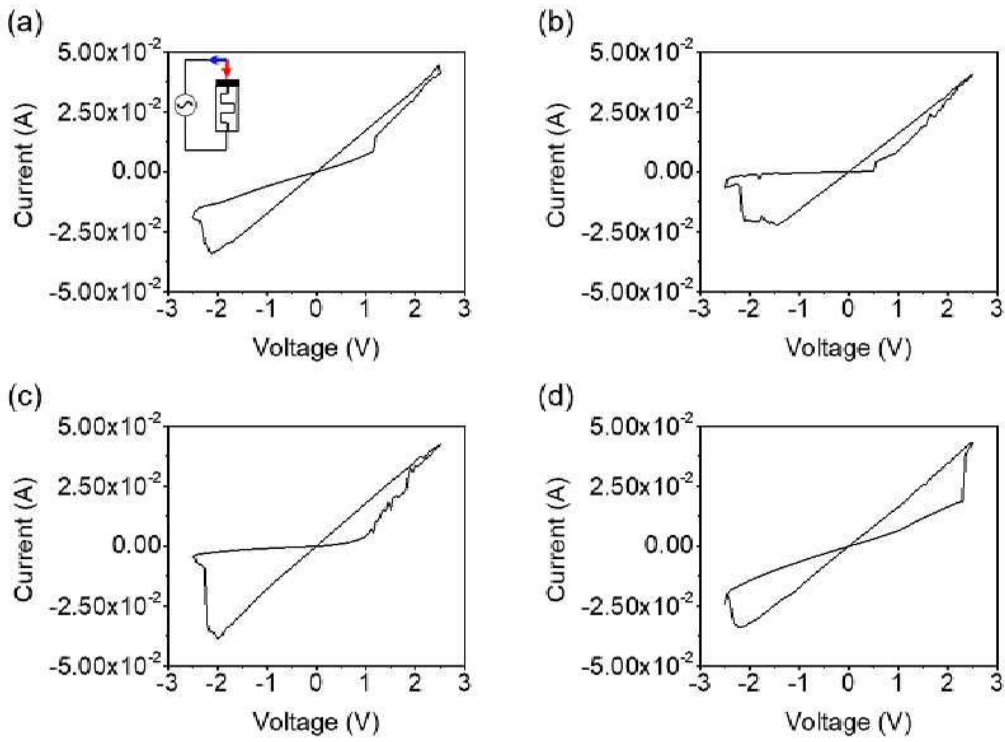
도면2



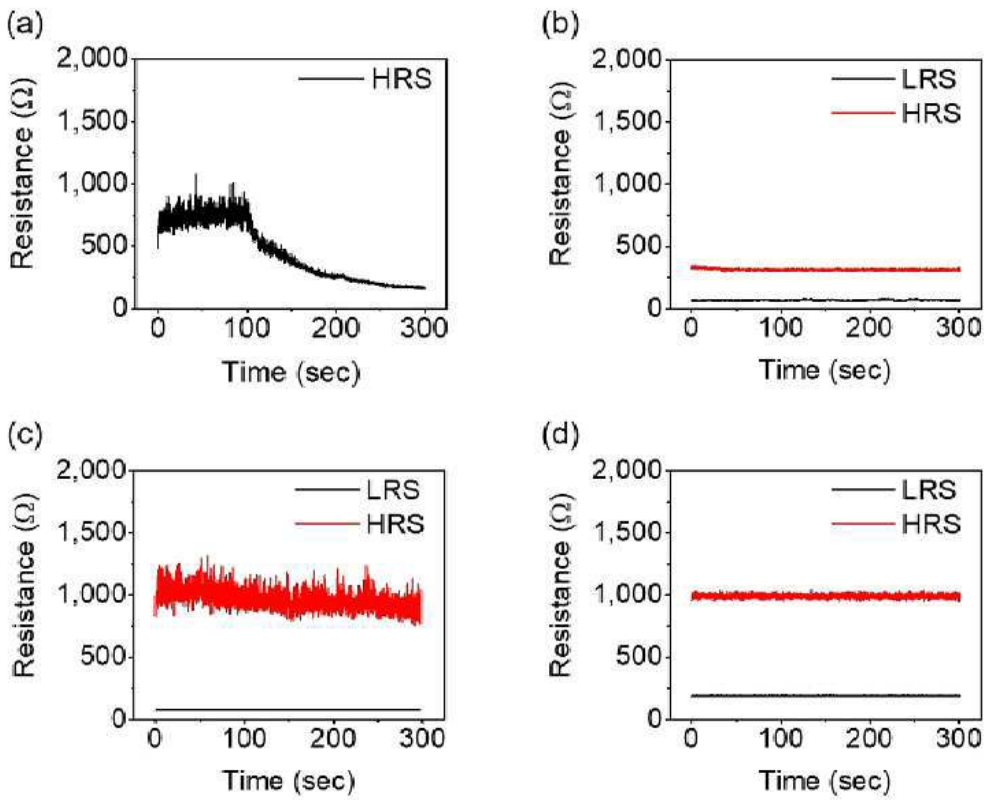
도면3



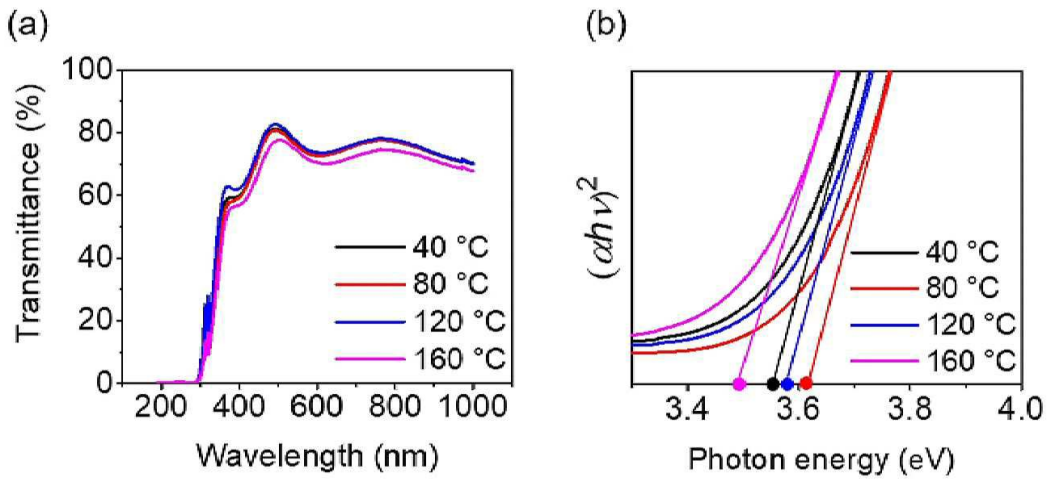
도면4



도면5



도면6



도면7

