



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년03월25일
(11) 등록번호 10-2651185
(24) 등록일자 2024년03월21일

(51) 국제특허분류(Int. Cl.)
H01L 29/06 (2006.01) H01L 29/423 (2006.01)
H01L 29/49 (2006.01)
(52) CPC특허분류
H01L 29/0673 (2013.01)
H01L 29/42392 (2013.01)
(21) 출원번호 10-2022-0035091
(22) 출원일자 2022년03월22일
심사청구일자 2022년03월22일
(65) 공개번호 10-2023-0137562
(43) 공개일자 2023년10월05일
(56) 선행기술조사문헌
KR1020210148904 A*
(뒷면에 계속)

(73) 특허권자
충북대학교 산학협력단
충청북도 청주시 서원구 충대로 1 (개신동)
(72) 발명자
박준영
충청북도 청주시 서원구 충대로 1, 충북대학교
E10 214호
연주원
충청북도 청주시
(뒷면에 계속)
(74) 대리인
김정현

전체 청구항 수 : 총 1 항

심사관 : 방기인

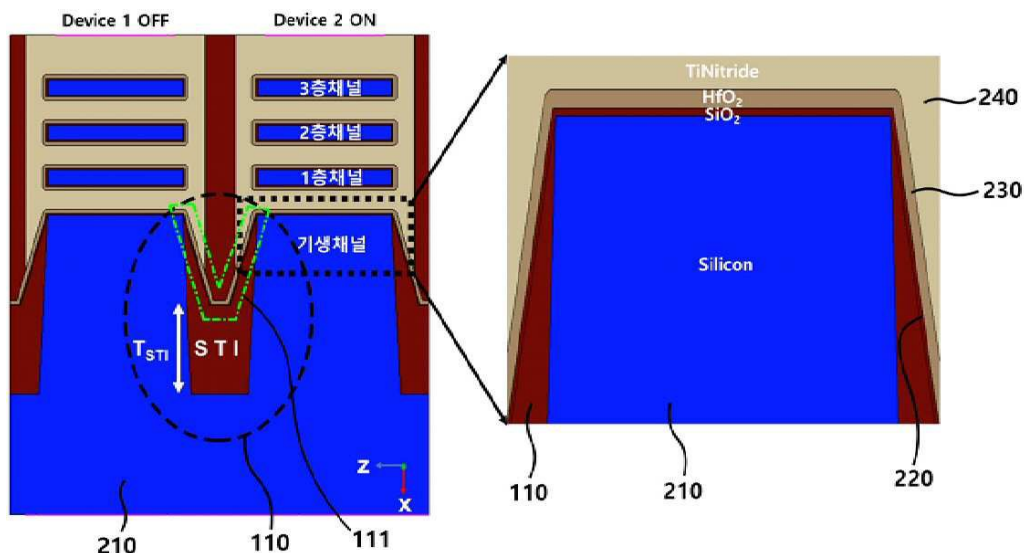
(54) 발명의 명칭 기생채널에 의한 누설전류를 개선하기 위한 나노시트 반도체 소자

(57) 요약

본 발명은 나노시트 반도체 소자에 관한 것으로서, 기판 상에 실리콘 소재의 1층 채널, 2층 채널, 3층 채널의 3개의 채널을 포함하고 있는 나노시트 반도체 소자에서, 각 채널 주위를 감싸고 있는 제1 절연층, 상기 제1 절연층을 감싸고 있는 제2 절연층 및 상기 제2 절연층을 감싸고 있는 게이트 전극을 포함하며, 각 나노시트 반도체 소자를 분리하기 위해, 나노시트 반도체 소자 사이에 형성된 STI(Shallow Trench Isolation)가 구비되고, 상기 STI는 나노시트 반도체 소자 사이에서 중앙이 함몰된 부위인 함몰부가 형성된다.

본 발명에 의하면, 나노시트 반도체 소자에서 소자 사이를 분리하는 STI의 두께를 감소시키는 구조를 제안함으로써, 기생채널에 의한 누설전류를 감소시킬 수 있는 효과가 있다.

대표도 - 도3



(52) CPC특허분류

H01L 29/4966 (2013.01)

(72) 발명자

이광선

충청북도 청주시 서원구 충대로 1, 충북대학교 E10 204호

왕동현

충청북도 청주시 서원구 충대로 1, E10 204호(충북대학교)

정대한

충청북도 청주시 서원구 충대로 1, 충북대학교 E10 204호

(56) 선행기술조사문헌

KR1020220023426 A*

US20090283852 A1

KR1020220000336 A

KR1020150018279 A

KR1020100091482 A

KR1020060134320 A

KR1020060081211 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

기관 상에 실리콘 소재의 1층 채널, 2층 채널, 3층 채널의 3 개의 채널을 포함하고 있는 나노시트 반도체 소자에서,

각 채널 주위를 감싸고 있는 제1 절연층;

상기 제1 절연층을 감싸고 있는 제2 절연층; 및

상기 제2 절연층을 감싸고 있는 게이트 전극

을 포함하며,

각 나노시트 반도체 소자를 분리하기 위해, 나노시트 반도체 소자 사이에 형성된 STI(Shallow Trench Isolation)가 구비되고,

상기 STI는 나노시트 반도체 소자 사이에서 중앙이 함몰된 부위인 함몰부가 형성되어 있고,

상기 함몰부 상에 순차적으로 제1 절연층, 제2 절연층 및 게이트 전극이 형성되어 있고,

상기 제1 절연층은 SiO_2 로 형성되고,

상기 제2 절연층은 HfO_2 로 형성되고,

상기 게이트 전극은 TiN으로 형성되고,

상기 STI는 SiO_2 산화막을 증착하면서 열 공정을 수행하는 방식으로 나노시트 반도체 소자 사이에서 중앙이 함몰되는 함몰부가 형성되도록 제작하고,

상기 함몰부의 가장 낮은 저면과 상기 STI의 바닥면 사이의 길이를 상기 STI의 두께(T_{STI}), 수평을 기준으로 상기 함몰부의 빗면이 이루는 각도를 경사각(θ)이라고 할 때, 드레인 전압 $V_D=0.7\text{ V}$, 게이트 전압 $V_G=0\text{V}$, 경사각(θ)= 70° 에서, 상기 STI의 두께(T_{STI})가 40nm로 형성되도록 제작하는 것을 특징으로 하는 나노시트 반도체 소자.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

발명의 설명

기술 분야

[0001] 본 발명은 나노시트 반도체 소자에 관한 것으로서, 더욱 상세하게는 기생채널에 의한 누설전류를 개선하기 위한 나노시트 반도체 소자에 관한 것이다.

배경 기술

[0002] 최근 반도체 소자가 소형화됨에 따라 칩의 집적도가 향상되고, 속도 또한 빨라지는 것이 주요 특징이다. 하지만, 그 과정에서 단 채널 효과(short-channel effect) 현상이 심해지는 것이 단점으로 작용한다. 단 채널 효과란 소자의 채널 길이가 점점 더 짧아짐에 따라 반도체 소자가 오프(OFF) 과정에서도 전기적으로 완전히 꺼지지 못하고, 누설되는 전류(off-state current)의 양이 증가하는 현상을 말한다. 이러한 누설전류의 증가는 소자의 대기전력(static power)을 증가시키고, 칩의 발열을 초래하며, 이에 따른 모바일 기기의 배터리 소모, 칩의 수명저하 등을 초래하는 문제가 있다.

[0003] 반도체 소자는 2차원 구조의 플레너(planar) FET에서 3차원 구조인 FinFET으로 진화되었으며, 그 과정에서 게이트 통제력(gate controllability)의 개선으로 인해 단 채널 효과가 억제될 수 있었다. 하지만, 3나노, 2나노 등 극단적인 수준으로 소자의 소형화가 진행되자 기존의 FinFET으로는 단 채널 효과를 개선함에 있어 한계에 직면하였으며, 이에 나노시트 반도체 소자(nanosheet FET)가 새로이 등장하게 되었다.

[0004] 나노시트 반도체 소자는 게이트(gate)가 채널(channel)의 전면을 둘러싸고 있는 등근 나노와이어(nanowire) 형태를 갖는 GAA(gate-all-around) FET 보다 더 진보된 형태의 소자 구조로서, 채널을 여러 개의 다리 형태로 구현한 MBC(Multibridge-Channel) FET 등이 있다. 나노시트 반도체 소자는 채널의 구조가 원형이 아닌 직사각형의 나노시트 형태로 제작됨으로써, 게이트와 채널이 접하는 면적 및 출력성능을 극대화할 수 있다.

[0005] 이처럼 나노시트 반도체 소자는 기존의 FinFET 대비 더 우수한 게이트 통제력을 지니고 있는데, 이는 소자의 게이트 전극이 채널(channel)의 모든 면(4면)을 감싸고 있는 GAA(gate-all-around) 형태로 구성되어 있기 때문이다. 이러한 나노시트 반도체소자는 통상적으로 3개 이상의 적층되어 있는 채널을 보유하고 있다. 하지만, 이러한 나노시트 반도체소자 또한, 가장 아래층에 위치한 기생채널은 GAA 구조의 소자가 아닌, 2차원 소자인 플레너(planar) 구조를 취할 수밖에 없는데, 이 때문에 기관에서 존재하는 누설전류가 여전히 통제 불가능하다는 문제가 있다.

[0006] 도 1은 종래 나노시트 반도체 소자를 도시한 것이다.

[0007] 도 1 (a)에서 총 두 개의 나노시트 반도체 소자가 도시되어 있다.

[0008] 도 1 (b)는 도 1 (a)에서 y-y' 방향으로 커팅(cutting)한 단면도로서, 실리콘(Si) 채널 주위를 절연층인 SiO₂와 HfO₂가 감싸고 있고, 게이트전극인 TiN(TiNitride)이 절연층을 감싸고 있는 구조이다.

[0009] 도 1 (b)에서 STI(Shallow Trench Isolation) 구조물을 통해 소자와 소자 사이를 분리할 수 있으며, 이때 STI의 두께(T_{STI})는 다양하게 구현될 수 있다. 도 1 (b)에서는 STI의 두께(T_{STI})가 60nm로 설정되어 있다.

[0010] 도 2는 도 1의 기생 채널 부근을 확대한 것이다.

[0011] 도 2 (a)는 도 1 (b)의 기생 채널 부근을 확대한 것으로서, bulk silicon 에도 SiO₂와 HfO₂ 절연층과 TiN 게이트전극이 증착되어 있기에, 동작과정에서 전기장의 간섭이 발생하여 누설 전류를 유발하는 기생 채널이 형성된다. 이러한 기생 채널에 의한 누설전류가 소자의 대기전력 증가, 발열 문제 등 악영향을 준다.

[0012] 도 2 (b)는 우측의 반도체 소자 디바이스(device) 2가 ON 상태일 때, 좌측의 반도체 소자 디바이스(device) 1이 OFF 상태에서 전류밀도가 증가하며, 기생 채널이 형성되는 것을 보여주고 있다. 즉, 디바이스 2가 ON 상태일 때, 디바이스 1이 OFF 상태임에도 불구하고, 전기장의 간섭으로 인하여 디바이스 1 소자에 기생 채널이 형성된다. 도 2 (b)에서 기생 채널이 점선으로 표기되어 있다.

선행기술문헌

특허문헌

[0013] (특허문헌 0001) 대한민국 공개특허 10-2008-0082616

발명의 내용

해결하려는 과제

[0014] 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로서, 나노시트 반도체 소자에서 기생채널에 의한 누설전류를 개선하기 위한 나노시트 반도체 소자 구조를 제공하는데 그 목적이 있다.

[0015] 본 발명의 목적은 이상에서 언급한 목적으로 제한되지 않으며, 언급되지 않은 또 다른 목적들은 아래의 기재로부터 통상의 기술자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0017] 이와 같은 목적을 달성하기 위한 본 발명은 나노시트 반도체 소자에 관한 것으로서, 기판 상에 실리콘 소재의 1층 채널, 2층 채널, 3층 채널의 3개의 채널을 포함하고 있는 나노시트 반도체 소자에서, 각 채널 주위를 감싸고 있는 제1 절연층, 상기 제1 절연층을 감싸고 있는 제2 절연층 및 상기 제2 절연층을 감싸고 있는 게이트 전극을 포함하며, 각 나노시트 반도체 소자를 분리하기 위해, 나노시트 반도체 소자 사이에 형성된 STI(Shallow Trench Isolation)가 구비되고, 상기 STI는 나노시트 반도체 소자 사이에서 중앙이 함몰된 부위인 함몰부가 형성된다.

[0018] 상기 함몰부 상에 순차적으로 제1 절연층, 제2 절연층 및 게이트 전극이 형성될 수 있다.

[0019] 상기 제1 절연층은 SiO_2 로 형성될 수 있다.

[0020] 상기 제2 절연층은 HfO_2 로 형성될 수 있다.

[0021] 상기 게이트 전극은 TiN 으로 형성될 수 있다.

[0022] 상기 STI는 SiO_2 산화막을 증착시키는 방식으로 형성될 수 있다.

발명의 효과

[0023] 본 발명에 의하면, 나노시트 반도체 소자에서 소자 사이를 분리하는 STI의 두께를 감소시키는 구조를 제안함으로써, 기생채널에 의한 누설전류를 감소시킬 수 있는 효과가 있다.

도면의 간단한 설명

[0024] 도 1은 종래 나노시트 반도체 소자를 도시한 것이다.

도 2는 도 1의 기생 채널 부근을 확대한 것이다.

도 3은 본 발명의 일 실시예에 따른 나노시트 반도체 소자의 구조를 도시한 것이다.

도 4는 종래 나노시트 반도체 소자와 본 발명에서 제안하는 나노시트 반도체 소자에서 발생하는 기생채널의 전류밀도를 비교하여 도시한 것이다.

도 5는 본 발명에서 제안하는 나노시트 반도체 소자에서 STI의 두께(T_{STI})의 감소에 따른 디바이스(device) 1에 서의 전기적 특성을 보여주는 그래프이다.

도 6은 본 발명에서 제안하는 나노시트 반도체 소자에서 STI 부분을 확대한 도면이다.

도 7은 본 발명에서 제안하는 나노시트 반도체 소자에서 STI의 빗면 경사각에 따른 누설전류 크기를 도시한 그래프이다.

도 8은 본 발명에서 제안하는 나노시트 반도체 소자에서 STI의 두께(T_{STI})에 따른 누설전류 크기를 도시한 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0025] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시 예를 가질 수 있는 바, 특정 실시 예들을 도면에 예시하고 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0026] 본 출원에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0027] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 갖고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 갖는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0028] 또한, 첨부 도면을 참조하여 설명함에 있어, 도면 부호에 관계없이 동일한 구성 요소는 동일한 참조 부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다. 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- [0029] 본 발명은 나노시트 반도체 소자에 관한 것으로서, 기판 상에 실리콘 소재의 1층 채널, 2층 채널, 3층 채널의 3개의 채널을 포함하고 있는 나노시트 반도체 소자에서, 각 채널 주위를 감싸고 있는 제1 절연층, 상기 제1 절연층을 감싸고 있는 제2 절연층 및 상기 제2 절연층을 감싸고 있는 게이트 전극을 포함하며, 각 나노시트 반도체 소자를 분리하기 위해, 나노시트 반도체 소자 사이에 형성된 STI(Shallow Trench Isolation)가 구비되고, 상기 STI는 나노시트 반도체 소자 사이에서 중앙이 함몰된 부위인 함몰부가 형성된다.
- [0030] 상기 함몰부 상에 순차적으로 제1 절연층, 제2 절연층 및 게이트 전극이 형성될 수 있다.
- [0031] 상기 제1 절연층은 SiO₂로 형성될 수 있다.
- [0032] 상기 제2 절연층은 HfO₂로 형성될 수 있다.
- [0033] 상기 게이트 전극은 TiN으로 형성될 수 있다.
- [0034] 상기 STI는 SiO₂ 산화막을 증착시키는 방식으로 형성될 수 있다.
- [0035] 도 3은 본 발명의 일 실시예에 따른 나노시트 반도체 소자의 구조를 도시한 것이다.
- [0036] 도 3을 참조하면, 본 발명에서 제안하는 나노시트 반도체 소자는 실리콘(Silicon) 소재의 기판(210) 상에 실리콘 소재의 1층 채널, 2층 채널, 3층 채널의 3개의 채널을 포함하고 있다.
- [0037] 그리고, 각 채널 주위를 제1 절연층(220) 및 제2 절연층(230)이 형성되어 있고, 제2 절연층을 게이트 전극(240)이 감싸고 있는 구조이다.
- [0038] 그리고, 각 나노시트 반도체 소자를 분리하기 위하여 나노시트 반도체 소자 사이에 STI(110)가 형성되어 있다.
- [0039] 본 발명의 일 실시예에서 제1 절연층(220)은 SiO₂로 형성되고, 제2 절연층(230)은 HfO₂로 형성될 수 있다.
- [0040] 본 발명의 일 실시예에서 게이트 전극(240)은 TiN으로 형성될 수 있다.
- [0041] 도 3에서 보는 바와 같이, 본 발명에서 제안하는 나노시트 반도체 소자는 소자 사이를 분리하는 STI(Shallow Trench Isolation)(110)의 두께(T_{STI})를 인위적으로 감소시킨 후, STI의 빗면을 비스듬하게 제작한다.
- [0042] 도 3에서 STI(110) 구조를 상세하게 설명하면, STI(110)는 나노시트 반도체 소자 사이에서 중앙이 함몰된 부위인 함몰부(111)가 형성되어 있다. 함몰부(111)의 가장 낮은 저면과 STI(110)의 바닥면 사이의 길이가 STI(110)의 두께(T_{STI})이다.
- [0043] 그리고, 함몰부(110) 상에 순차적으로 제1 절연층(220), 제2 절연층(230) 및 게이트 전극(240)이 형성되어 있다.

- [0044] 본 발명의 일 실시예에서 STI(110)는 SiO₂ 산화막을 증착시키는 방식으로 형성될 수 있다. 즉, SiO₂ 산화막을 증착하면서 열 공정을 수행하면 나노시트 반도체 소자 사이에서 중앙이 함몰되는 함몰부(111)가 형성된 STI(110)를 제작할 수 있다.
- [0045] 본 발명에서 함몰부(110)가 형성된 STI(110)를 포함하는 나노시트 반도체 소자 구조는 TiN으로 구성된 게이트 전극(240)이 양 옆으로 감싸기 때문에, 게이트 통제력(gate controllability)이 향상되고, 디바이스 2에 의한 전기장이 방지되며, 이에 따라 누설 전류가 감소하게 된다.
- [0047] 도 4는 종래 나노시트 반도체 소자와 본 발명에서 제안하는 나노시트 반도체 소자에서 발생하는 기생채널의 전류밀도를 비교하여 도시한 것이다.
- [0048] 도 4 (a)는 종래의 나노시트 반도체 소자 구조에서 OFF 상태의 좌측 디바이스(device) 1에서 발생하는 기생채널의 전류밀도를 보여주는 도면이다.
- [0049] 도 4 (a)에서 디바이스 1 이 OFF 상태임에도 불구하고 디바이스(device) 2에 의한 의도치 않은 전기장의 간섭때문에 기생채널에 누설 전류가 발생한 것이 검정색 박스(가)로 표시되어 있다.
- [0050] 하지만 도 4 (b)에서 보는 바와 같이, 본 발명에서 제안하는 나노시트 반도체 소자 구조에서는 기생채널의 전류 밀도가 감소하는 것이 검정색 박스(나)로 표시되어 있다. 이는 OFF 상태의 디바이스 1 소자에 발생한 기생채널의 좌측면 및 우측면에 TiN 전극이 추가로 형성되었기 때문이다. 즉, 종래 나노시트 반도체 소자의 기생채널은 플래너(planar) 소자 형태의 2차원 구조를 채택하고 있었으나, 본 발명에서 제안하는 나노시트 반도체 소자 구조에서는 3차원 구조의 Fin FET 형태를 취하고 있으므로, 기생 채널을 관통하는 전류 밀도가 감소한다.
- [0051] 도 4 (c)는 STI 두께(T_{STI})가 60nm(종래), 55nm, 50nm, 40nm, 30nm로 감소하였을 때, 좌측 디바이스 1 소자의 기생채널에서 발생하는 전류 밀도를 보여주는 그래프이다.
- [0052] 도 4 (c)를 참조하면, 전류 밀도의 단위는 A*cm⁻²이고, 60nm일 때 5.36×10^3 , 55nm일 때 4.51×10^3 , 50nm일 때 3.97×10^3 , 40nm일 때 3.46×10^3 , 30nm일 때 3.53×10^3 의 전류 밀도(A*cm⁻²)를 나타내며, 이를 통해 본 발명에서 제안하는 나노시트 반도체 소자에서 종래 소자 대비 누설전류가 감소하는 것을 확인할 수 있다.
- [0053] 도 5는 본 발명에서 제안하는 나노시트 반도체 소자에서 STI의 두께(T_{STI})의 감소에 따른 디바이스(device) 1 에서의 전기적 특성을 보여주는 그래프이다.
- [0054] 도 5를 참조하면, 검정색 선은 STI 두께(T_{STI})가 60nm인 경우의 디바이스 1의 누설전류를 도시한 것이며, 도 1 (b)의 종래 나노시트 반도체 소자 구조에서의 데이터로서, OFF 상태 (VG = 0 V 상태) 일 때, 디바이스(device) 1 에 존재하는 누설전류는 2.34×10^{-8} A이다.
- [0055] 이에 비해, 본 발명에서 제안하는 나노시트 반도체 소자 구조가 반영된 보라색 선은 STI 두께(T_{STI})가 30nm인 경우의 디바이스 1의 누설전류를 도시한 것으로서, OFF 상태 (VG = 0 V 상태) 일 때, 디바이스(device) 1 에 존재하는 누설전류는 1.06×10^{-8} A이다. 즉, 종래 대비 누설 전류가 약 2.2배 감소하는 것을 확인할 수 있다. 다시 말해서, device 1 에 존재하는 기생채널의 전류밀도가 감소하여, 결국 device 1 소자가 구동(ON-OFF 스위칭) 하는 과정에서 나노시트 반도체 소자의 누설전류가 감소한다.
- [0057] 도 6은 본 발명에서 제안하는 나노시트 반도체 소자에서 STI 부분을 확대한 도면이다.
- [0058] 도 6을 참조하면, 본 발명에서 수평을 기준으로 함몰부(110)의 빗면이 이루는 각도를 경사각(θ)으로 정의할 수 있다.
- [0059] 도 7은 본 발명에서 제안하는 나노시트 반도체 소자에서 STI의 빗면 경사각에 따른 누설전류 크기를 도시한 그래프이다.
- [0060] 도 7에서 게이트 전압 V_G=0V, 드레인 전압 V_D=0.7 V, T_{STI}=50nm이다.
- [0061] 도 7에서 경사각(θ)과 누설 전류(I_{off})의 관계는 다음과 같은 관계식으로 나타낼 수 있다.
- [0062] $I_{OFF}(nA) = 0.15 \times \theta + 21.53$

[0063] 도 8은 본 발명에서 제안하는 나노시트 반도체 소자에서 STI의 두께(T_{STI})에 따른 누설전류 크기를 도시한 그래프이다.

[0064] 도 8에서 드레인 전압 $V_D=0.7$ V, 게이트 전압 $V_G=0$ V, 경사각(θ)= 70° 이다.

[0065] 도 8을 참조하면, STI의 두께(T_{STI})가 40nm인 경우에 누설 전류(I_{OFF})가 최소가 되는 것을 확인할 수 있다.

[0066] 그러나, STI의 두께(T_{STI})가 40nm를 초과하면 STI(110)의 바닥면 아래 부분에 기생 채널이 생기면서 오히려 누설 전류가 발생할 가능성이 높아진다. 따라서, 적절한 STI의 두께(T_{STI})를 설정하는 것이 바람직하다.

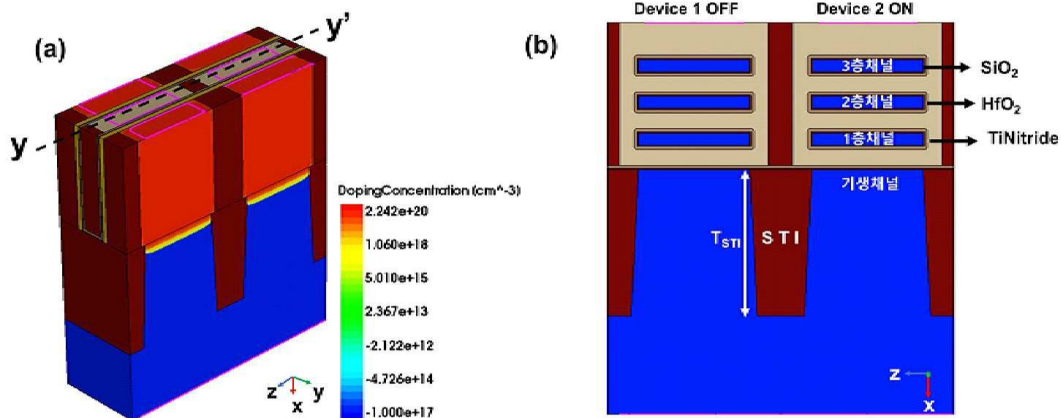
[0067] 이상 본 발명을 몇 가지 바람직한 실시 예를 사용하여 설명하였으나, 이들 실시 예는 예시적인 것이며 한정적인 것이 아니다. 본 발명이 속하는 기술분야에서 통상의 지식을 지닌 자라면 본 발명의 사상과 첨부된 특허청구범위에 제시된 권리범위에서 벗어나지 않으면서 다양한 변화와 수정을 가할 수 있음을 이해할 것이다.

부호의 설명

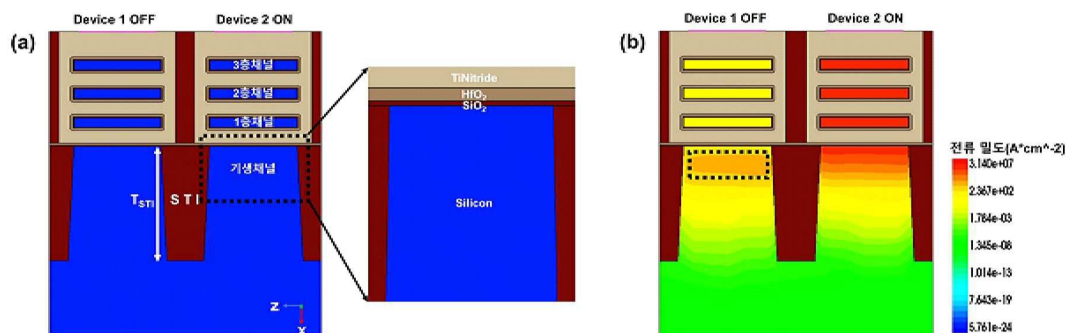
[0069]	110	STI	111	함몰부
	210	기판	220	제1 절연층
	230	제2 절연층	240	게이트 전극

도면

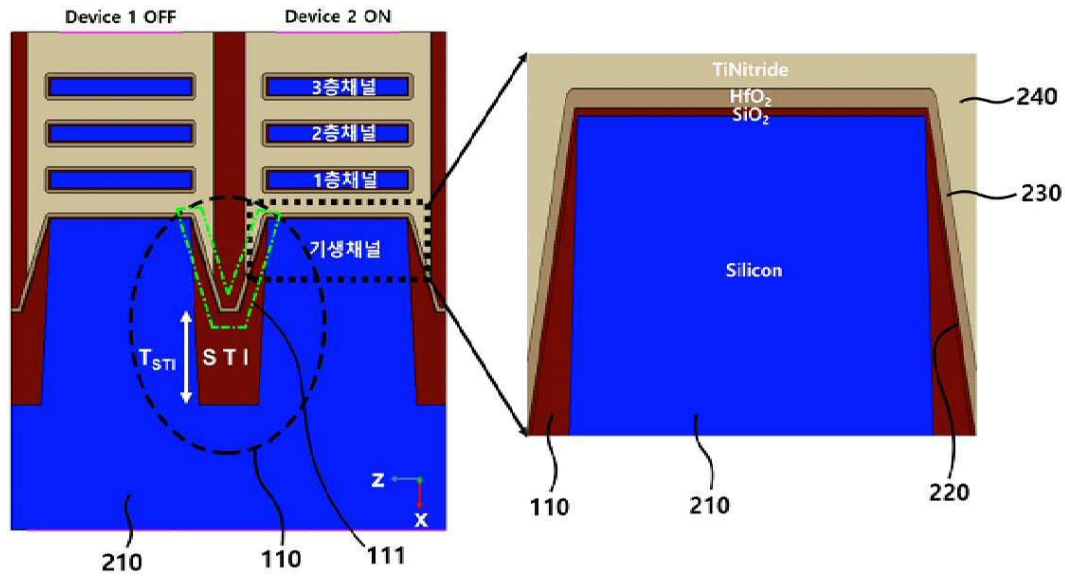
도면1



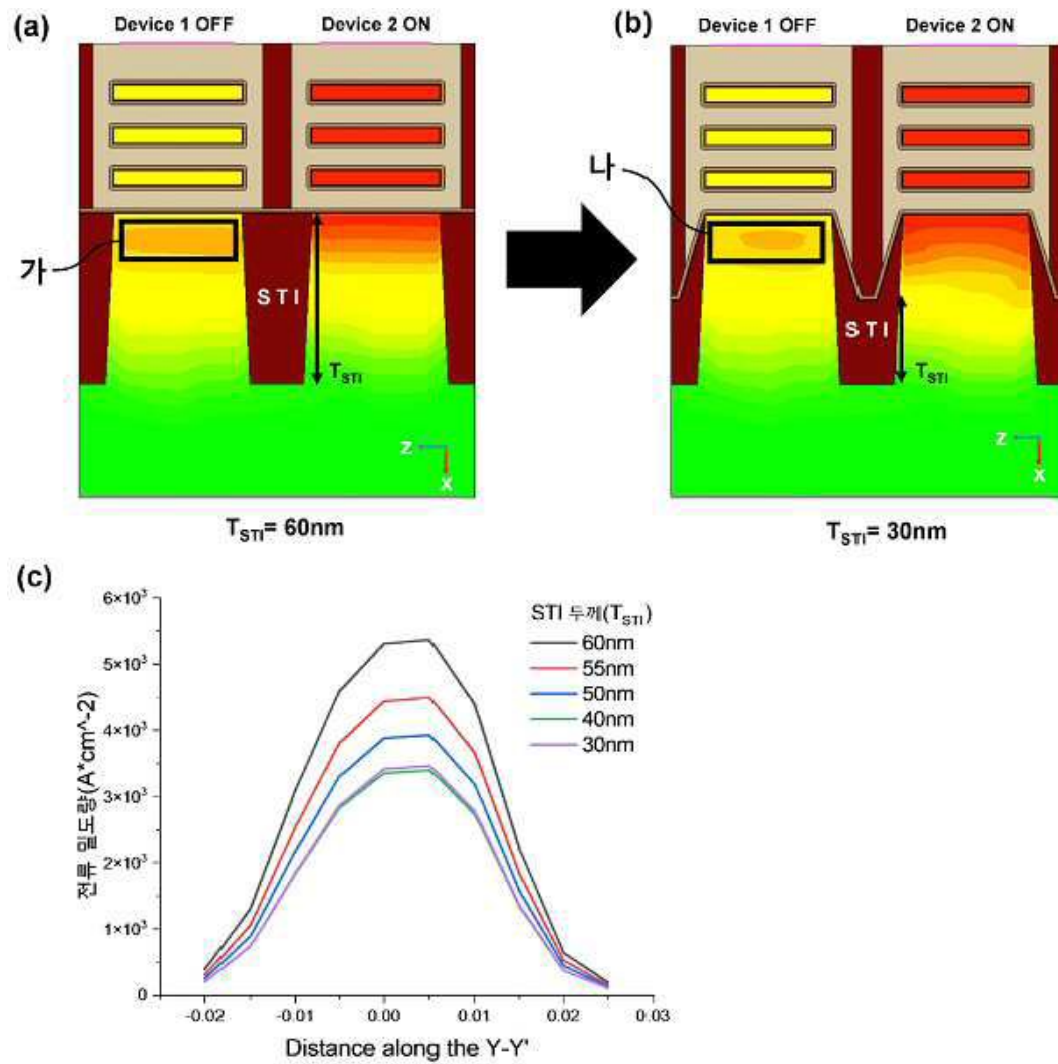
도면2



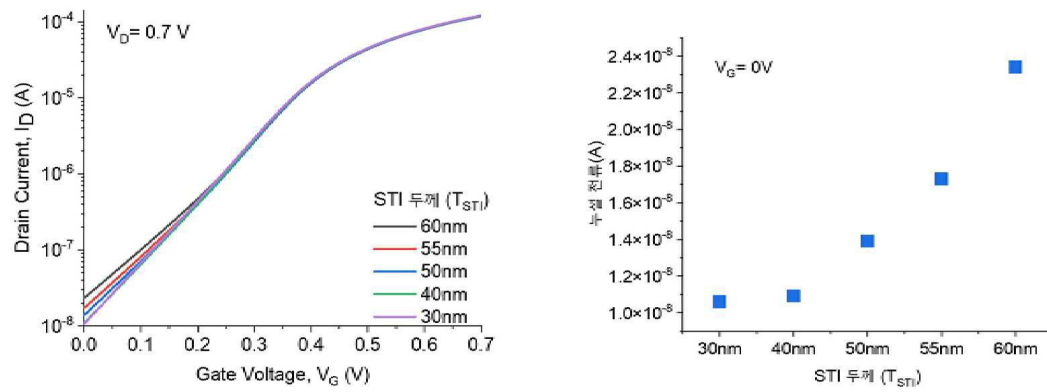
도면3



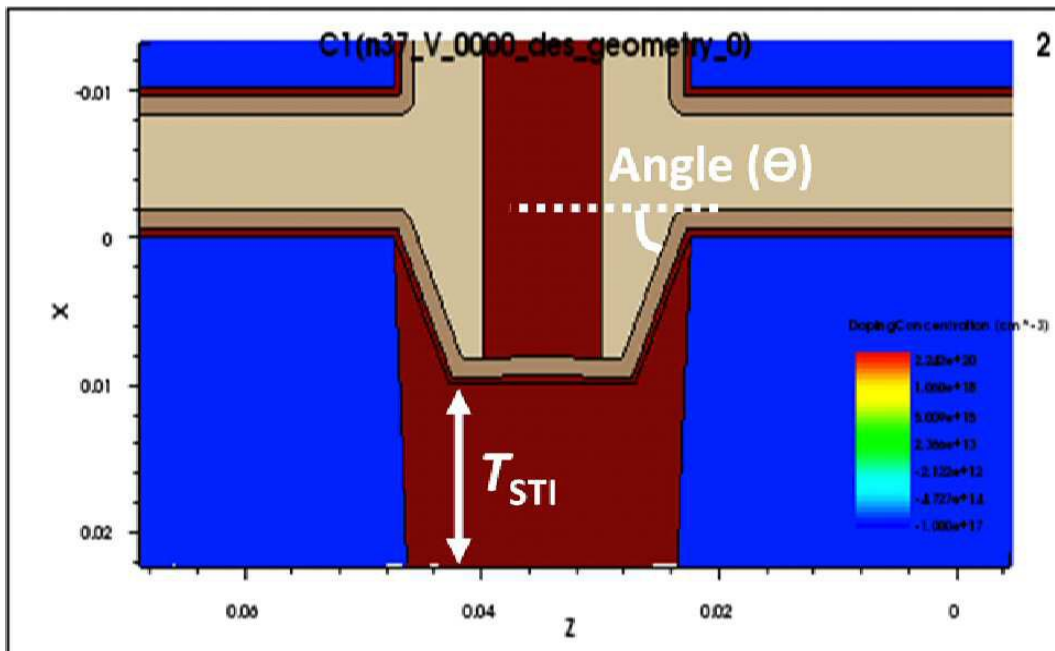
도면4



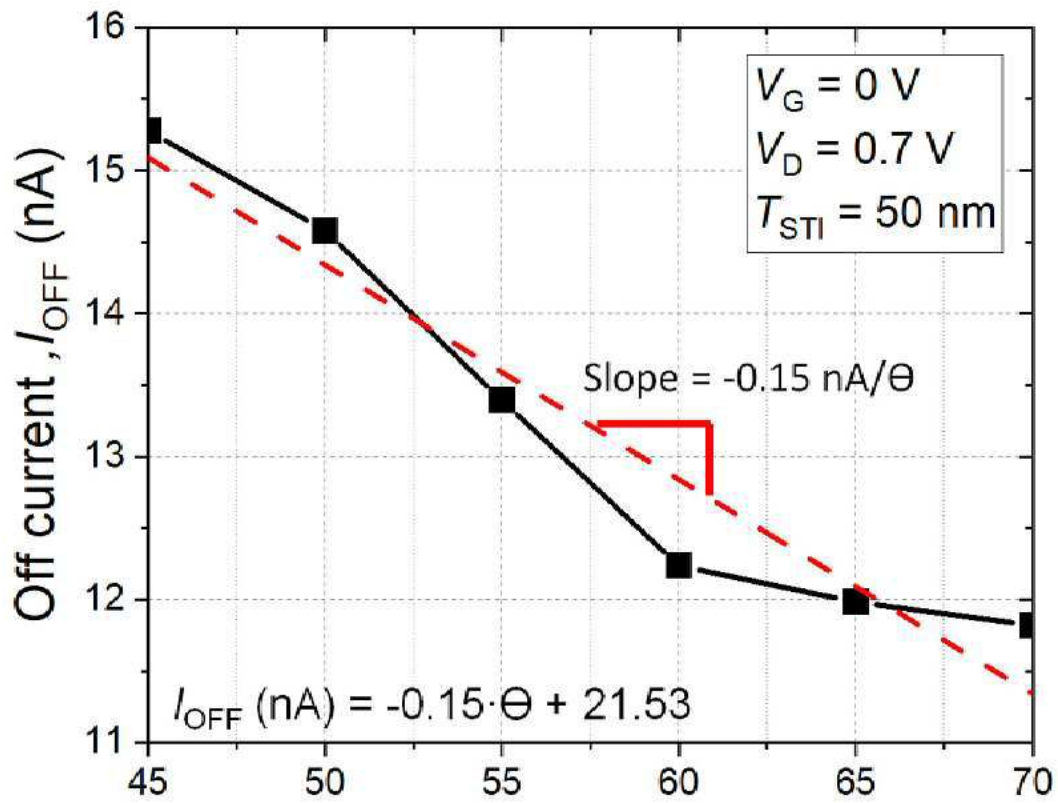
도면5



도면6



도면7



도면8

